

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT ALLEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum  
Internationales Büro(43) Internationales Veröffentlichungsdatum  
16. Oktober 2003 (16.10.2003)

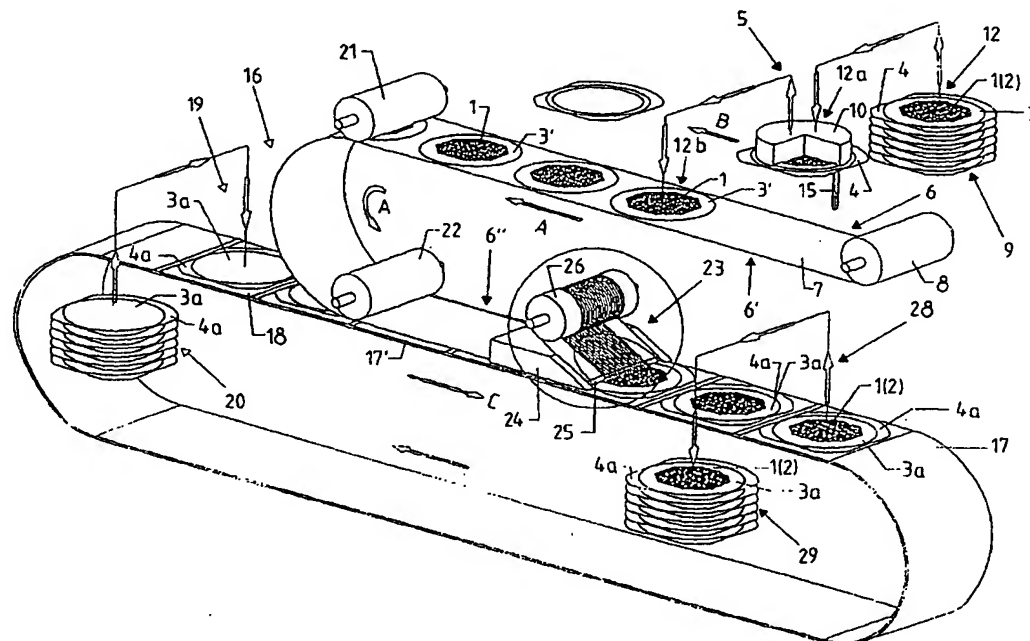
PCT

(10) Internationale Veröffentlichungsnummer  
**WO 03/085702 A1**(51) Internationale Patentklassifikation<sup>7</sup>: **H01L 21/00**(74) Anwalt: **GRAF, Helmut**; Wasmeier Alfons, Grefflinger  
Strasse 7, 93055 Regensburg (DE).(21) Internationales Aktenzeichen: **PCT/DE03/01058**(22) Internationales Anmeldedatum:  
2. April 2003 (02.04.2003)(25) Einreichungssprache: **Deutsch**(26) Veröffentlichungssprache: **Deutsch**(30) Angaben zur Priorität:  
102 14 969.0 4. April 2002 (04.04.2002) DE  
102 18 384.8 24. April 2002 (24.04.2002) DE  
102 25 097.9 5. Juni 2002 (05.06.2002) DE

(71) Anmelder und

(72) Erfinder: **SILLNER, Georg, Rudolf** [DE/DE]; Buchen-  
strasse 23, 93197 Zeitlarn (DE).(81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT,  
AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,  
CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH,  
GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC,  
LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW,  
MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD,  
SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.(84) Bestimmungsstaaten (regional): ARIPO-Patent (GH,  
GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW),  
eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ,  
TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE,  
DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PROCESSING ELECTRICAL COMPONENTS, ESPECIALLY SEMICONDUCTOR CHIPS, AND  
DEVICE FOR CARRYING OUT THE METHOD(54) Bezeichnung: VERFAHREN ZUM VERARBEITEN VON ELEKTRISCHEN BAUELEMENTEN, INSBESONDERE VON  
HALBLEITERCHIPS, SOWIE VORRICHTUNG ZUM DURCHFÜHREN DES VERFAHRENS(57) Abstract: The invention relates to a novel method for processing electrical components, especially semiconductor chips, which  
are respectively held in a detachable manner - as groups consisting of at least two components - by a first side thereof on a first carrier  
material of a first carrier.

[Fortsetzung auf der nächsten Seite]